

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82789

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.<sup>5</sup>  
H01L 29/784  
27/12

識別記号 庁内整理番号  
8728-4M  
9056-4M  
9056-4M

FI

技術表示箇所

H01L 29/78 311 R  
311 G

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平3-268656

(22)出願日 平成3年(1991)9月20日

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72)発明者 大野 晃計

東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

(72)発明者 泉 勝俊

東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

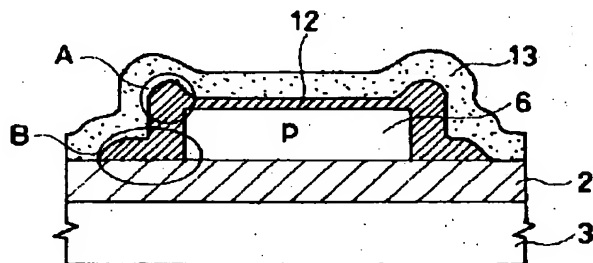
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 MOSトランジスタおよびその製造方法

(57)【要約】

【目的】 電気的特性に優れかつ信頼性の高いMOSトランジスタおよびその製造方法を得る。

【構成】 ゲートシリコン酸化膜12は単結晶シリコン島6の上面よりも側面で厚さが厚く、かつこの側面では上端部で厚さが厚くなる階段状の断面形状とした。



1

## 【特許請求の範囲】

【請求項1】 絶縁層上に形成された単結晶シリコン島の上面および側面にゲートシリコン酸化膜を有するメサ型分離構造のMOSトランジスタにおいて、

前記単結晶シリコン島の側面に形成されたゲートシリコン酸化膜が前記側面の先端部および底端部の両近傍で前記単結晶シリコン島の上面に形成されたゲートシリコン酸化膜よりも厚さが厚く、かつ前記単結晶シリコン島の側面に形成されたゲートシリコン酸化膜が前記側面の先端部よりも前記底端部で厚さが厚くなって階段状の断面形状を有することを特徴とするMOSトランジスタ。

【請求項2】 絶縁層上に形成された単結晶シリコン島の上面および側面にゲートシリコン酸化膜を有するメサ型分離構造のMOSトランジスタにおいて、

前記単結晶シリコン島の上面、側面および前記単結晶シリコン島間のフィールド領域に非単結晶シリコン膜とシリコン窒化膜とを順次堆積する堆積工程と、

前記単結晶シリコン島の側面に堆積した前記シリコン窒化膜のみを選択的に除去する選択除去工程と、

前記単結晶シリコン島の側面にのみ露出した前記非単結晶シリコン膜を選択的に熱酸化してこれをシリコン酸化膜に改質する改質工程と、

を有することを特徴とするMOSトランジスタの製造方法。

【請求項3】 請求項2において、傾斜部でのエッチングレートが平坦部でのそれよりも極めて大きい特性を有するシリコン酸化膜を前記シリコン窒化膜上に堆積する堆積工程と、

前記単結晶シリコン島の側面に堆積した前記シリコン酸化膜のみをフッ化水素酸水溶液で自己整合的に除去する除去工程と、

前記シリコン酸化膜をマスクとして前記単結晶シリコン島の側面露出した前記シリコン窒化膜を除去する除去工程と、

を有することを特徴とするMOSトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁層上の単結晶シリコン島に形成されたメサ型分離構造のMOSトランジスタおよびその製造方法に関するものである。

## 【0002】

【従来の技術】 単結晶シリコン層と埋め込みシリコン酸化膜と単結晶シリコン基板とが順次積層された構造のSOI (Silicon On Insulator) 基板を用いて単結晶シリコン層にMOS集積回路を作り込む場合、各MOSトランジスタを相互に絶縁分離する方法の1つとしてメサ型分離法がある。この分離法は、MOSトランジスタを形成する領域を除いた領域の単結晶シリコン層を全て除去する方法であり、製造が容易かつ分離領域も狭くできる

2

といった特徴を有しているため、多用されている。

【0003】 図10～図12は従来のメサ型分離構造のnチャネルMOSトランジスタの製造工程を示す断面図である。また、図12および図13はこのnチャネルMOSトランジスタの構造を示す断面図である。ここで図10～図12を用いて従来の製造方法の概要を説明した後、図12および図13を基に従来構造の問題を説明する。

【0004】 図10に示すようにp形の単結晶シリコン層20と埋め込みシリコン酸化膜21とp形の単結晶シリコン基板22とが順次に積層された構造のSOI基板を出発基板としてまず、単結晶シリコン層20の表面に厚さ5nm程度のシリコン酸化膜23を熱酸化で形成し、その後、パターン化したレジスト24をマスクとしてシリコン酸化膜23と単結晶シリコン層20とを順次に異方性エッチング法で除去する。これによって厚さが0.4μm前後であるp形の単結晶シリコン島25を埋め込みシリコン酸化膜21の上に形成する。

【0005】 次に図11に示すようにシリコン酸化膜23を除去した後、単結晶シリコン島25の上面および側面を熱酸化して例えば厚さが20nmのゲートシリコン酸化膜26を形成する。その後、減圧CVD法で多結晶シリコン膜27を例えば0.3μmの厚さに堆積する。

【0006】 次に図12に示すようにパターン化したレジストをマスクとして多結晶シリコン膜27を加工し、ゲート用の多結晶シリコン電極28を形成する。続いて多結晶シリコン電極28をマスクとしてn形不純物のイオン注入を行い、n形のソース領域29とドレイン電極30とを形成する。このとき、ゲートシリコン酸化膜26を介して多結晶シリコン電極28の直下に位置するp形の半導体領域がチャネル領域31となる。続いて厚さが0.3μm前後のパッシベーション膜32をCVD法で堆積して素子表面を覆った後、ソース電極33とドレイン電極34とを形成してnチャネルMOSトランジスタが完成する。

## 【0007】

【発明が解決しようとする課題】 しかしながら、このような製造方法により形成されたメサ型分離構造のnチャネルMOSトランジスタは、ソース領域29とドレイン領域30との間で発生するリーク電流（以降、ソース・ドレイン間リーク電流という）の増大やゲートシリコン酸化膜26の絶縁破壊電圧の低下といった問題を有していた。この原因は、ゲートシリコン酸化膜26の形状および膜厚の不均一にあり、この詳細を図13を用いて説明する。

【0008】 図13は図12に示すMOSトランジスタをX-X'線に沿って壁開したときの断面構造を示したものである。同図において、ゲートシリコン酸化膜26は、チャネル領域31の側面の先端部Aで凸状に形成され、また、前記側面の底端部Bでその膜厚が半分程度に

3

まで減少している。これら上端部Aおよび底端部Bでのシリコン酸化膜をゲートシリコン酸化膜とする局所的な寄生MOSトランジスタの閾値電圧は、チャネル領域31の上面でのシリコン酸化膜をゲートシリコン酸化膜とするメインMOSトランジスタのそれと比較して極めて小さくなる。このためにメインMOSトランジスタがオフ状態にあっても寄生MOSトランジスタはオン状態またはこれに近い準オン状態となり、その結果、ソース・ドレイン間リーク電流は数桁にわたって増大する。

【0009】図14は一例として従来の技術で製造したメサ型分離構造のnチャネルMOSトランジスタのサブスレッショルド特性を示したものである。同図には、寄生MOSトランジスタが形成されない構造のnチャネルMOSトランジスタのサブスレッショルド特性も併せて示している。この例では、寄生MOSトランジスタが形成されることによってゲート電圧0Vにおけるソース・ドレイン間リーク電流は5桁も増大している。一方、図13の底端部Bでゲートシリコン酸化膜26の膜厚が半分程度にまで薄くなることから、ゲートシリコン酸化膜26の絶縁破壊電圧も大幅に低下する。

【0010】したがって本発明は、前述した従来の問題を解決するためになされたものであり、その目的は、電气的特性に優れかつ信頼性の高いMOSトランジスタおよびその製造方法を提供することにある。

#### 【0011】

【課題を解決するための手段】このような目的を達成するために本発明によるMOSトランジスタは、ゲートシリコン酸化膜は単結晶シリコン島の上面よりも側面で厚さが厚く、かつこの側面では上端部よりもさらに底端部で厚さが厚くなる階段状の断面形状としたものである。また、本発明によるMOSトランジスタの製造方法は、自己整合法で単結晶シリコン島の側面のみを窓開けしたシリコン窒化膜をマスクとして下地の多結晶シリコン膜を選択的に熱酸化し、これによってこの単結晶シリコン島の側面に上面よりも厚さの厚いゲートシリコン酸化膜を形成するものである。

#### 【0012】

【作用】本発明においては、単結晶シリコン島の側面に形成される寄生MOSトランジスタの閾値電圧を上面に形成されるメインMOSトランジスタのそれよりも大きくすることができる。このためにソース・ドレイン間リーク電流を大幅に低減できる。また、この単結晶シリコン島の側面、特に底端部に厚さの厚いゲートシリコン酸化膜を形成できるため、ゲートシリコン酸化膜の絶縁破壊電圧の低下を防止できる。

#### 【0013】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。図1は本発明によるMOSトランジスタの一実施例による断面構造を示すnチャネルMOSトランジスタの断面図であり、同図ではソースとドレインとが向

4

かい合った方向に素子を壁開したときの断面構造である。また、図2は図1に示すMOSトランジスタのX-X'線に沿って壁開したときの断面構造を示す断面図である。図1において、2は埋め込みシリコン酸化膜、3は単結晶シリコン基板、6は単結晶シリコン島、12はゲートシリコン酸化膜、13は多結晶シリコン電極、14はソース領域、15はドレイン電極、16はチャネル領域、17はパッシベーション膜、18はソース電極、19はドレイン電極である。

【0014】図2において、ゲートシリコン酸化膜12は、単結晶シリコン島6の上面よりも側面で厚さが厚い。また、このゲートシリコン酸化膜12は、側面の上端部Aよりも底端部Bでさらに厚さが厚いため、急峻さが緩和された階段状の断面形状を有している。ゲートシリコン酸化膜12がこのような形状上の特徴を持つことから、単結晶シリコン島6の側面に形成される寄生MOSトランジスタを不活性とでき、ソース・ドレイン間リーク電流を大幅に低減できる。また、側面で発生するゲートシリコン酸化膜12の絶縁破壊電圧の低下も防止できる。さらに側面の急峻さが緩和されていることから、電極配線の段切れと言った問題も軽減できる。

【0015】図3～図9は図1に示した本発明によるnチャネルMOSトランジスタの製造方法の一実施例を説明する工程の断面図である。まず、図3に示すように厚さ100nm前後のp形単結晶シリコン層1と厚さ100nm前後の埋め込みシリコン酸化膜2とp形単結晶シリコン基板3とが順次積層された構造のSOI基板を出発基板としてまず、単結晶シリコン層1の表面に厚さ5nmのシリコン酸化膜4を熱酸化で形成する。その後、パターン化したレジスト5をマスクとしてシリコン酸化膜4と単結晶シリコン層1とを順次に異方性エッチング法で除去する。これによってp形の単結晶シリコン島6を埋め込みシリコン酸化膜2の上に形成する。

【0016】次に図4に示すようにレジスト5とシリコン酸化膜4とを除去した後、単結晶シリコン島6の上面と側面とに厚さ10nm程度のシリコン酸化膜7を熱酸化で形成する。その後、減圧CVD法で多結晶シリコン膜8を30nm程度の厚さに堆積し、続いて耐酸化性を有する厚さ50nm前後のシリコン窒化膜9を堆積する。なお、多結晶シリコン膜9の代わりにアモルファスシリコン膜を堆積しても良い。ただし、後の熱処理工程でこのアモルファスシリコン膜は多結晶シリコン膜に改質する。

【0017】次に図5に示すようにECRプラズマ堆積法で厚さ200nm程度のシリコン酸化膜10を堆積し、その後、フッ化水素酸水溶液で単結晶シリコン島6の側面に堆積したシリコン酸化膜10のみを自己整合的に除去する。このとき、単結晶シリコン島6の上面とフィールド領域とに堆積したシリコン酸化膜10は、そのエッチング・レートが前述した側面に堆積したシリコン

酸化膜10と比較して約2桁小さいため、僅かにエッチングされるだけである。ECRプラズマ堆積法で形成したシリコン酸化膜10が示すこの特異なエッチング特性は、例えば公知文献(Journal of The Electrochemical Society [K.Ehara et al., "Planar Interconnection Technology for LSI Fabrication Utilizing Lift-off Process," Journal of The Electrochemical Society, Vol. 131, No. 2, pp. 419-424, 1984.])に開示されている。

【0018】次に図6に示すようにシリコン酸化膜10をマスクとして表面が露出したシリコン窒化膜9を熱リン酸水溶液で除去し、その後、例えばフッ化水素酸水溶液でシリコン酸化膜10を除去する。これによって多結晶シリコン膜8は、単結晶シリコン島6の側面でのみ露出し、他の領域ではシリコン窒化膜9で覆われる。

【0019】次に図7に示すように露出した多結晶シリコン膜8を熱酸化し、これを全てシリコン酸化膜11に改質する。このとき、多結晶シリコン膜8の厚さは30nmであるので、これを酸化して得られるシリコン酸化膜11の厚さは約2.2倍の66nmとなる。多結晶シリコン膜8の下地であるシリコン酸化膜7の厚さが10nmであることから、この実施例の場合には、単結晶シリコン島6の側面には76nm厚のシリコン酸化膜11が形成されることになる。

【0020】次に図8に示すようにシリコン窒化膜9を熱リン酸水溶液を用いて除去し、続いて多結晶シリコン膜8を例えばECRエッチング法で除去する。その後、単結晶シリコン島6の上面に形成されていた厚さ10nmのシリコン酸化膜7を例えばフッ化水素酸水溶液で除去する。このとき、単結晶シリコン島6の側面に形成されていたシリコン酸化膜11もその表面が除去されるため、その膜厚は66nmとなる。なお、単結晶シリコン島6の側面に残すシリコン酸化膜11をさらに厚くしたい場合には、前述した図4の多結晶シリコン膜8の厚さを大きくすれば良い。

【0021】次に図9に示すように通常MOSトランジスタの製造工程にしたがってまず、p形の単結晶シリコン島6の上面に例えば20nm厚のゲートシリコン酸化膜12を熱酸化で形成し、続いて厚さ300nm程度のゲート用の多結晶シリコン電極13を堆積、加工する。その後、多結晶シリコン電極13をマスクとしてn形不純物のイオン注入を行い、n形のソース領域14とドレイン電極15とを形成する。このとき、ゲートシリコン酸化膜12直下のp形シリコン領域がチャネル領域16となる。続いてパッシベーション膜17を堆積し、さらに電極コンタクトを窓開し、最後にソース電極18とドレイン電極19とを施してnチャネルMOSトランジスタを得る。

【0022】なお、前述した実施例においては、MOSトランジスタとしてnチャネルMOSトランジスタについて説明したが、pチャネルMOSトランジスタに適用

した場合でも不純物のタイプが異なるだけで本質的には同じであり、これも当然本発明に含まれることは勿論である。

#### 【0023】

【発明の効果】以上、説明したように本発明によるMOSトランジスタおよびその製造方法によれば、以下に説明するような極めて優れた効果が得られる。

①MOSトランジスタを形成する単結晶シリコン島の側面には、その上面よりも厚さの厚いゲートシリコン酸化膜を制御性良く形成できる。このために側面で形成される寄生MOSトランジスタを容易に不活性とでき、ソース・ドレイン間リーク電流を大幅に低減できる。また、側面で発生するゲートシリコン酸化膜の耐圧劣化も防止できる。さらに単結晶シリコン島の側面で急峻さが緩和されることから、ここでの電極配線切れを軽減できる。したがって本発明での構造を採用すれば、電気的特性に優れ、かつ信頼性の高いMOSトランジスタを実現できる。

②単結晶シリコン島の側面に残す厚いゲートシリコン酸化膜は、自己整合法によって形成される。このためにゲートシリコン酸化膜の厚さおよび形状は、単結晶シリコン島の平面形状とその大きさには依存しない。したがってMOSトランジスタを1チップ上に数多く配置する場合、柔軟性が高く、また、高集積化も図れる。

#### 【図面の簡単な説明】

【図1】本発明によるMOSトランジスタの一実施例による構成を示す断面図である。

【図2】図1のX-X'線の断面図である。

【図3】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図4】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図5】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図6】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図7】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図8】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図9】本発明によるMOSトランジスタの製造方法の一実施例を説明する工程の一断面図である。

【図10】従来のMOSトランジスタの製造方法を説明する工程の一断面図である。

【図11】従来のMOSトランジスタの製造方法を説明する工程の一断面図である。

【図12】従来のMOSトランジスタの製造方法を説明する工程の一断面図である。

【図13】図12に示すMOSトランジスタのX-X'線の断面図である。

7

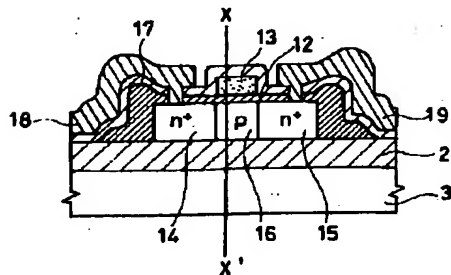
8

【図14】従来のnチャネルMOSトランジスタのサブスレッショルド特性を示す図である。

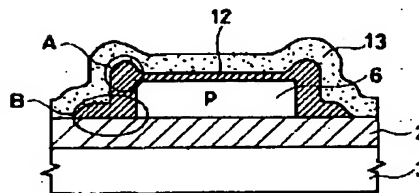
【符号の説明】

- |   |             |    |            |
|---|-------------|----|------------|
| 1 | 単結晶シリコン層    | 9  | シリコン窒化膜    |
| 2 | 埋め込みシリコン酸化膜 | 10 | シリコン酸化膜    |
| 3 | 単結晶シリコン基板   | 11 | シリコン酸化膜    |
| 4 | シリコン酸化膜     | 12 | ゲートシリコン酸化膜 |
| 5 | レジスト        | 13 | 多結晶シリコン電極  |
| 6 | 単結晶シリコン島    | 14 | ソース電極      |
| 7 | シリコン酸化膜     | 15 | ドレイン領域     |
| 8 | 多結晶シリコン膜    | 16 | チャネル領域     |
|   |             | 17 | パッシベーション膜  |
|   |             | 18 | ソース電極      |
|   |             | 19 | ドレイン電極     |

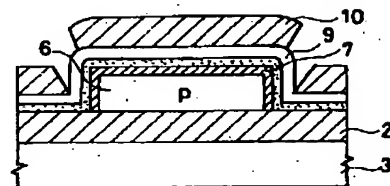
【図1】



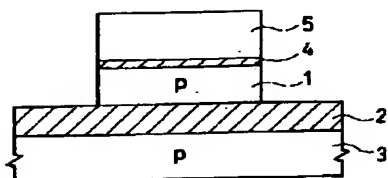
【図2】



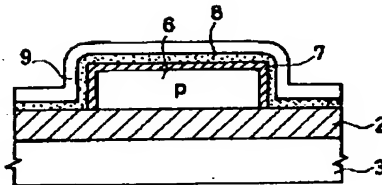
【図5】



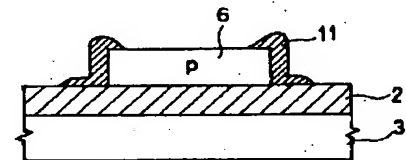
【図3】



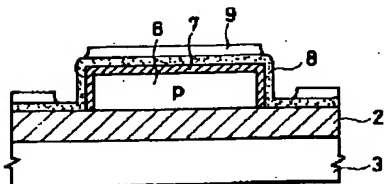
【図4】



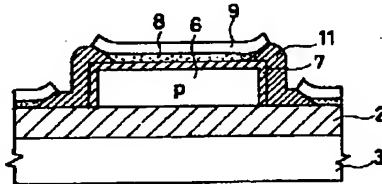
【図8】



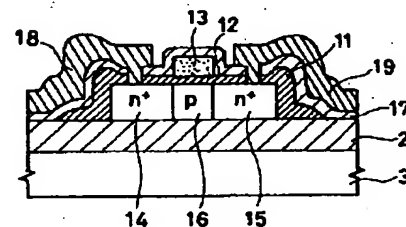
【図6】



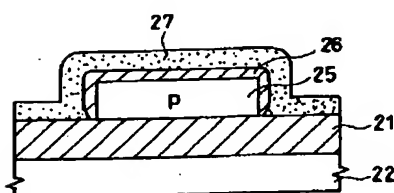
【図7】



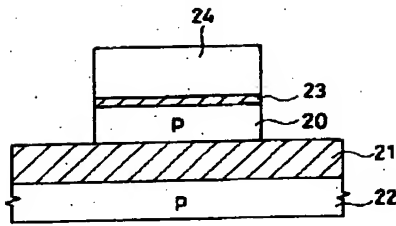
【図9】



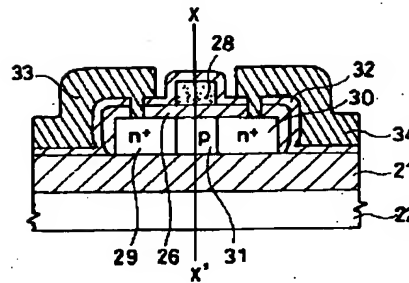
【図11】



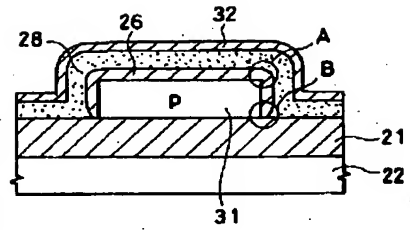
【図10】



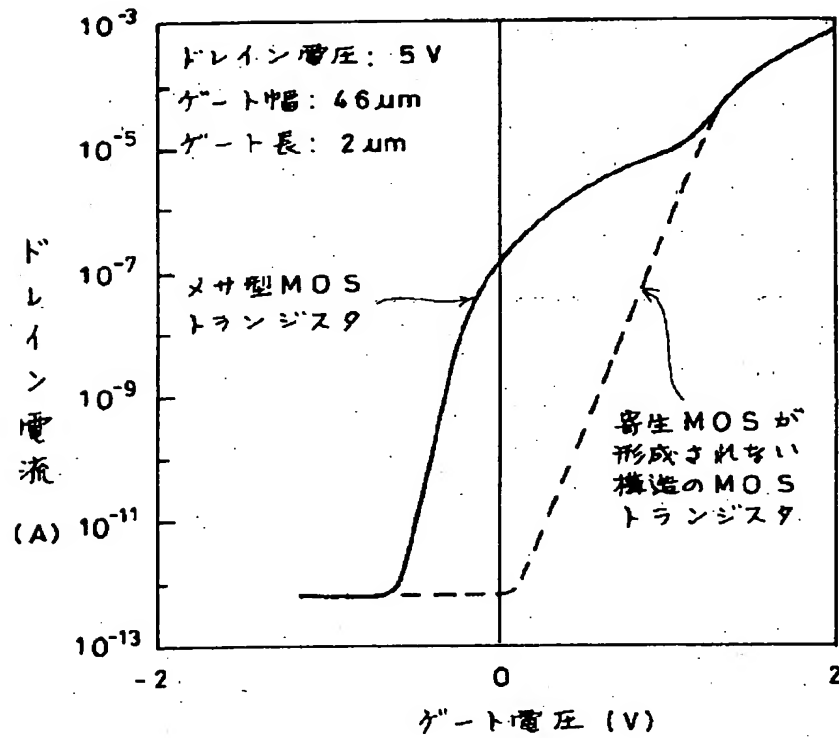
【図12】



【図13】



【図14】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082789

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H01L 29/784  
H01L 27/12

(21)Application number : 03-268656

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 20.09.1991

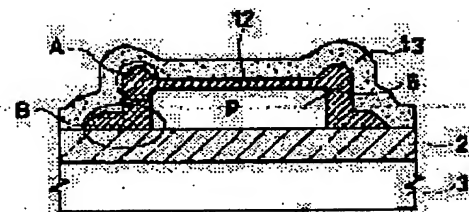
(72)Inventor : OONO AKIKAZU  
IZUMI KATSUTOSHI

## (54) MOS TRANSISTOR AND ITS MANUFACTURE

## (57)Abstract:

**PURPOSE:** To reduce a source-to-drain leak current by forming a gate silicon oxide film to a stepped cross sectional contour wherein the gate silicon oxide film is thicker in a side surface than in an upper surface of a polycrystalline silicon island and is further thicker in a bottom end part than in an upper end part in the side surface thereof.

**CONSTITUTION:** A gate silicon oxide film 12 is made thicker in a side surface than in an upper surface of a polycrystalline silicon island 6. The gate silicon oxide film 12 is made further thicker in a bottom end part B than in an upper end part A in the side surface and is provided with a stepped cross sectional contour whose sharpness is relaxed. Since the gate silicon oxide film 12 has such features of contour, it is possible to make a parasitic MOS transistor formed at a side surface of the single crystalline silicon island 6 inactive and to reduce a source-to-drain leak current greatly. Furthermore, it is also possible to prevent lowering of dielectric breakdown voltage of the gate silicon oxide film 12 generated at the side surface.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082789

(43)Date of publication of application : 02.04.1993

Int.Cl.

H01L 29/784  
H01L 27/12

Application number : 03-268656

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

Date of filing : 20.09.1991

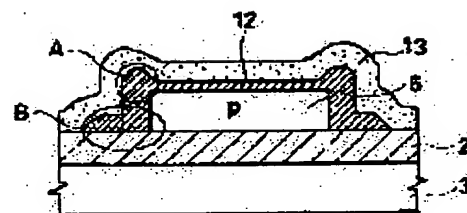
(72)Inventor : OONO AKIKAZU  
IZUMI KATSUTOSHI

## MOS TRANSISTOR AND ITS MANUFACTURE

### Abstract:

**PROPOSE:** To reduce a source-to-drain leak current by forming a gate silicon oxide film to a stepped cross sectional contour wherein the gate silicon oxide film is thicker in a side surface than in an upper surface of a polycrystalline silicon island and is further thicker in a bottom end part than an upper end part in the side surface thereof.

**INSTITUTION:** A gate silicon oxide film 12 is made thicker in a side face than in an upper surface of a polycrystalline silicon island 6. The silicon oxide film 12 is made further thicker in a bottom end part B in an upper end part A in the side surface and is provided with a stepped cross sectional contour whose sharpness is relaxed. Since the silicon oxide film 12 has such features of contour, it is possible to make a parasitic MOS transistor formed at a side surface of the single polycrystalline silicon island 6 inactive and to reduce a source-to-drain leak current greatly. Furthermore, it is also possible to prevent lowering of electric breakdown voltage of the gate silicon oxide film 12 generated at a side surface.



### LEGAL STATUS

date of request for examination]

date of sending the examiner's decision of rejection]

date of final disposal of application other than the  
examiner's decision of rejection or application converted  
to registration]

date of final disposal for application]

patent number]

date of registration]

number of appeal against examiner's decision of  
rejection]

date of requesting appeal against examiner's decision of  
rejection]

date of extinction of right]

OTICES \*

an Patent Office is not responsible for any  
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\* shows the word which can not be translated.

the drawings, any words are not translated.

---

## AIMS

---

aim(s)]

aim 1] In the MOS transistor of the mesa type isolation construction which has a gate silicon oxide on the upper face and the side of a single-crystal-silicon island which were formed on the insulating layer Thickness is thicker than the gate silicon oxide by which the gate silicon oxide formed in the side of the aforementioned single-crystal-silicon island was formed in the upper surface of the aforementioned single-crystal-silicon island near both [ of the upper-limit section of the aforementioned side, and a bottom edge ]. And the MOS transistor characterized by being thick thin by the aforementioned bottom edge, and the gate silicon oxide formed in the side of the aforementioned single-crystal-silicon island having a stair-like cross-section configuration rather than the upper-limit section of the aforementioned side.

aim 2] The MOS transistor of the mesa type isolation construction which has a gate silicon oxide on the upper face and the side of a single-crystal-silicon island which are characterized by providing the following, and which were formed on the insulating layer The deposition process which deposits a non-single-crystal-silicon film and a silicon nitride on the field field between the upper surface of the aforementioned single-crystal-silicon island, the side, and the aforementioned single-crystal-silicon island one by one The selection removal process of removing alternatively by the aforementioned silicon nitride deposited on the side of the aforementioned single-crystal-silicon island, and the etching process which oxidizes thermally alternatively the aforementioned non-single-crystal-silicon film which was exposed only to the side of the aforementioned single-crystal-silicon island, and reforms this to a silicon oxide

aim 3] The claim 2 characterized by providing the following The deposition process which deposits the silicon oxide which the etching rate in a ramp has a very larger property than that in a flat part on the aforementioned silicon nitride removal process which removes only the aforementioned silicon oxide deposited on the side of the aforementioned single-crystal-silicon island on a self-adjustment target in hydrofluoric-acid solution, and the removal process which removes the aforementioned silicon nitride exposed by the lateral portion of the aforementioned single-crystal-silicon island by using the aforementioned silicon oxide as a mask

---

translation done.]

OTICES \*

an Patent Office is not responsible for any  
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\* shows the word which can not be translated.

the drawings, any words are not translated.

## TAILED DESCRIPTION

ailed Description of the Invention]

01]

ustrial Application] this invention relates to the MOS transistor and its manufacture method of the mesa type  
ation construction formed in the single-crystal-silicon island on an insulating layer.

02]

escription of the Prior Art] When making an MOS IC in a single-crystal-silicon layer using the SOI (Silicon On  
ulator) substrate of the structure where embedded with the single-crystal-silicon layer and the laminating of a silicon  
de and the single-crystal-silicon substrate was carried out one by one, there is a mesa type separation method as one  
he methods of carrying out insulating separation of each MOS transistor mutually. This separation method is a  
thod of removing all the single-crystal-silicon layers of the field except the field which forms an MOS transistor, and  
t manufacture is easy and since it has the feature that an isolation region can also be narrowed, it is used abundantly.

03] Drawing 10 - drawing 12 are the cross sections showing the manufacturing process of the n channel MOS  
istor of the conventional mesa type isolation construction. Moreover, drawing 12 and drawing 13 are the cross  
tions showing the structure of this n channel MOS transistor. After explaining the outline of the conventional  
nufacture method here using drawing 10 - drawing 12 , the problem of structure is conventionally explained based on  
wing 12 and drawing 13 .

04] The SOI substrate of the structure where embedded with the single-crystal-silicon layer 20 of p form, and the  
laminating of a silicon oxide 21 and the single-crystal-silicon substrate 22 of p form was carried out one by one as  
own in drawing 10 is used as a start substrate, first, the silicon oxide 23 with a thickness of about 5nm is formed in the  
at face of the single-crystal-silicon layer 20 by thermal oxidation, and a silicon oxide 23 and the single-crystal-silicon  
er 20 are removed by the anisotropic etching technique one by one by using the patternized resist 24 as a mask after  
t. By this, thickness embeds the single-crystal-silicon island 25 of p form which it is before and after 0.4  
rometers, and forms on a silicon oxide 21.

05] Next, as shown in drawing 11 , after removing a silicon oxide 23, the upper surface and the side of the single-  
stal-silicon island 25 are oxidized thermally, for example, the gate silicon oxide 26 whose thickness is 20nm is  
med. Then, the polycrystal silicon film 27 is deposited on the thickness of 0.3 micrometers in reduced pressure CVD.

06] Next, the polycrystal silicon film 27 is processed by using as a mask the resist patternized as shown in drawing  
, and the polycrystal silicon electrode 28 for the gates is formed. Then, the ion implantation of n form impurity is  
formed by using the polycrystal silicon electrode 28 as a mask, and the source field 29 and the drain electrode 30 of n  
m are formed. At this time, the semiconductor region of p form located directly under the polycrystal silicon  
ctrode 28 through the gate silicon oxide 26 turns into the channel field 31. Then, after thickness deposits the  
sivation film 32 around 0.3 micrometers in CVD and is wearing an element front face, the source electrode 33 and  
drain electrode 34 are formed, and an n channel MOS transistor is completed.

07]

oblem(s) to be Solved by the Invention] However, the n channel MOS transistor of the mesa type isolation  
struction formed by such manufacture method had the problem of the increase of a leakage current (it is henceforth  
led the leakage current between source drains) and the fall of the dielectric breakdown voltage of the gate silicon  
de 26 which are generated between the source field 29 and the drain field 30. This cause is in the configuration of the  
e silicon oxide 26, and the ununiformity of thickness, and explains this detail using drawing 13 .

08] Drawing 13 shows the cross-section structure when \*\*\*\*(ing) the MOS transistor shown in drawing 12 along  
h a X-X' line. In this drawing, the gate silicon oxide 26 is formed in convex in the upper-limit section A of the side of

channel field 31, and the thickness is decreasing even to the half grade by the bottom edge B of the aforementioned. The threshold voltage of the local parasitism MOS transistor which makes the silicon oxide in these upper-limits ion A and a bottom edge B a gate silicon oxide becomes very small as compared with it of the main MOS transistor which makes the silicon oxide in the upper surface of the channel field 31 a gate silicon oxide. For this reason, even if a n MOS transistor is in an OFF state, a parasitism MOS transistor will be in an ON state or the semi- ON state near, consequently the leakage current between source drains increases over several figures.

09] Drawing 14 shows the sub threshold level property of the n channel MOS transistor of the mesa type isolation structure manufactured by the Prior art as an example. The sub threshold level property of the n channel MOS transistor of the structure where a parasitism MOS transistor is not formed is also collectively shown in this drawing. In example, as for the leakage current between source drains in gate-voltage 0V, no less than 5 figures are increasing forming a parasitism MOS transistor. On the other hand, by the bottom edge B of drawing 13, the thickness of the silicon oxide 26 is thin even to a half grade, and the dielectric breakdown voltage of the gate silicon oxide 26 also sharply from a bird clapper.

10] Therefore, this invention is made in order to solve the conventional problem mentioned above, and the purpose is excelling in an electrical property and offering a reliable MOS transistor and its manufacture method.

11] [Means for Solving the Problem] In order to attain such a purpose, a gate silicon oxide has thickness thicker than the upper surface of a single-crystal-silicon island on the side, and the MOS transistor by this invention is taken as the stair-like cross-section configuration to which it is thick further thin by the bottom edge from the upper-limit section on the side of a parenthesis. Moreover, the manufacture method of the MOS transistor by this invention oxidizes the polycrystal silicon film of a ground thermally alternatively by using as a mask the silicon nitride which \*\*\*\*\* (ed) only side of a single-crystal-silicon island by the self-having-consistency method, and forms a gate silicon oxide with thickness thicker than the upper surface in the side of this single-crystal-silicon island by this.

12] [Action] In this invention, the threshold voltage of the parasitism MOS transistor formed in the side of a single-crystal-silicon island can be made larger than that of the main MOS transistor formed in the upper surface. For this reason, the leakage current between source drains can be reduced sharply. Moreover, since a gate silicon oxide with thick thickness can be formed in the side of this single-crystal-silicon island, especially a bottom edge, the fall of the electric breakdown voltage of a gate silicon oxide can be prevented.

13] [Example] Hereafter, the example of this invention is explained in detail using a drawing. Drawing 1 is the cross section of an n channel MOS transistor showing the cross-section structure by 1 of the MOS transistor by this invention as an example, and is the cross-section structure when \*\*\*\* (ing) an element in the direction in which the source and the drain are connected each other in this drawing. Moreover, drawing 2 is the cross section showing the cross-section structure when \*\*\*\* (ing) along with the X-X' line of an MOS transistor shown in drawing 1. drawing 1 -- setting -- 2 -- an embedding silicon oxide and 3 -- a single-crystal-silicon substrate and 6 -- a single-crystal-silicon island and 12 -- a gate silicon oxide and 13 -- for a drain electrode and 16, as for a passivation film and 18, a channel field and 17 are [ a polycrystal silicon electrode and 14 / a source field and 15 / a source electrode and 19 ] drain electrodes

14] In drawing 2, the gate silicon oxide 12 has thickness thicker than the upper surface of the single-crystal-silicon island 6 on the side. Moreover, from the upper-limit section A of the side, by the bottom edge B, since thickness is still thicker, this gate silicon oxide 12 has the stair-like cross-section configuration by which steepness was eased. Since the gate silicon oxide 12 has the feature on such a configuration, the parasitism MOS transistor formed in the side of the single-crystal-silicon island 6 is made with inactive, and the leakage current between source drains can be reduced sharply. Moreover, the fall of the dielectric breakdown voltage of the gate silicon oxide 12 generated on the side can be prevented. From furthermore the steepness of the side being eased, the problem called stage piece of electrode wiring is also mitigable.

15] Drawing 3 - drawing 9 are the cross sections of the process explaining one example of the manufacture method of the n channel MOS transistor by this invention shown in drawing 1. The silicon oxide 4 with a thickness of 5nm is first formed in the front face of the single-crystal-silicon layer 1 by thermal oxidation by using as a start substrate the Si substrate of the structure where the laminating of p form single-crystal-silicon layer 1 around 100nm in thickness, embedding silicon oxide 2 around 100nm in thickness, and the p form single-crystal-silicon substrate 3 was carried out one by one as shown in drawing 3. Then, a silicon oxide 4 and the single-crystal-silicon layer 1 are removed by the anisotropic etching technique one by one by using the patternized resist 5 as a mask. By this, the single-crystal-silicon island 6 of p form is embedded, and it forms on a silicon oxide 2.

- 6] Next, as shown in drawing 4, after removing a resist 5 and a silicon oxide 4, the silicon oxide 7 with a thickness about 10nm is formed in the upper surface and the side of the single-crystal-silicon island 6 by thermal oxidation. Then, the silicon nitride 9 around 50nm in thickness which deposits the polycrystal silicon film 8 on the thickness of about 30nm and has oxidation resistance continuously by reduced pressure CVD is deposited. In addition, you may deposit an amorphous silicon film instead of the polycrystal silicon film 9. However, this amorphous silicon film is removed on a polycrystal silicon film at a next heat treatment process.
- 17] Next, as shown in drawing 5, the silicon oxide 10 with a thickness of about 200nm is deposited by the efficient consumer response plasma depositing method, and only the silicon oxide 10 deposited on the side of the single-crystal-silicon island 6 in hydrofluoric-acid solution is removed on a self-adjustment target after that. At this time, since it is about 2 figures as compared with the silicon oxide 10 deposited on the side on which the etching rate mentioned above the silicon oxide 10 deposited on the upper surface and the field of the single-crystal-silicon island 6, it only etches slightly. This unique etching property that the silicon oxide 10 formed by the efficient consumer response plasma depositing method shows. For example, well-known reference ( ) [ Journal of The Electrochemical Society, Hara et al. and "Planar Interconnection Technology for LSI Fabrication Utilizing Lift-off Process," Journal of The Electrochemical Society, Vol.131, No.2, pp.419-424, and 1984.] It is indicated.
- 18] Next, as shown in drawing 6, the silicon nitride 9 which the front face exposed by using a silicon oxide 10 as a mask is removed in heat phosphoric-acid solution, and a silicon oxide 10 is removed in after that, for example, hydrofluoric acid, solution. It exposes only on the side of the single-crystal-silicon island 6, and the polycrystal silicon film 8 is covered by this by the silicon nitride 9 in other fields.
- 19] Next, the polycrystal silicon film 8 exposed as shown in drawing 7 is oxidized thermally, and this is all reformed to silicon oxide 11. Since the thickness of the polycrystal silicon film 8 is 30nm at this time, the thickness of the silicon oxide 11 oxidized and obtained in this is set to about 2.2 times as many 66nm as this. Since the thickness of the silicon oxide 7 which is the ground of the polycrystal silicon film 8 is 10nm, in the case of this example, the silicon oxide 11 of 76nm will be formed at the side of the single-crystal-silicon island 6.
- 20] Next, as shown in drawing 8, the silicon nitride 9 is removed using heat phosphoric-acid solution, and the polycrystal silicon film 8 is continuously removed for example, by the efficient consumer response etching method. Then, the silicon oxide 7 with a thickness of 10nm currently formed in the upper surface of the single-crystal-silicon island 6 is removed for example, in hydrofluoric-acid solution. Since the front face is removed also for the silicon oxide currently formed in the side of the single-crystal-silicon island 6 at this time, the thickness is set to 66nm. In addition, it is necessary is just to enlarge thickness of the polycrystal silicon film 8 of drawing 4 mentioned above to make still thicker the silicon oxide 11 which it leaves to the side of the single-crystal-silicon island 6.
- 21] Next, as shown in drawing 9, according to the manufacturing process of the usual MOS transistor, the gate silicon oxide 12 of 20nm is formed by thermal oxidation, and the polycrystal silicon electrode 13 for the gates with a thickness of about 300nm is first deposited and processed into the upper surface of the single-crystal-silicon island 6 of form continuously. Then, the ion implantation of n form impurity is performed by using the polycrystal silicon electrode 13 as a mask, and the source field 14 and the drain electrode 15 of n form are formed. At this time, p form silicon field of gate silicon-oxide 12 directly under turns into the channel field 16. Then, the passivation film 17 is deposited, electrode contact is formed further, finally the source electrode 18 and the drain electrode 19 are given, and an n channel MOS transistor is obtained.
- 22] In addition, in the example mentioned above, although the n channel MOS transistor was explained as an MOS transistor, naturally of course [ even when it applies to a p channel MOS transistor it is essentially the same only by the types of an impurity differing, and ], this is also contained in this invention.
- 23] [Effect of the Invention] As mentioned above, as explained, according to the MOS transistor by this invention, and its manufacture method, an effect which is explained below and which was extremely excellent is acquired. A gate silicon oxide with thickness thicker than the upper surface can be formed in the side of the single-crystal-silicon island which forms an MOS transistor with a sufficient controllability. For this reason, the parasitism MOS transistor formed on the side is easily made with inactive, and the leakage current between source drains can be reduced greatly. Moreover, proof-pressure degradation of the gate silicon oxide generated on the side can also be prevented. The steepness is furthermore eased on the side of a single-crystal-silicon island, an electrode wiring piece here is manageable. Therefore, if the structure in this invention is adopted, it excels in an electrical property and a reliable MOS transistor can be realized.
- The thick gate silicon oxide which it leaves to the side of a single-crystal-silicon island is formed by the self-having-consistency method. For this reason, it does not depend for the thickness and the configuration of a gate silicon oxide on

flat-surface configuration and size of a single-crystal-silicon island. Therefore, when arranging many MOS  
sistors on 1 chip, flexibility is high and can also attain high integration.

---

inslation done.]

NOTICES \*

an Patent Office is not responsible for any  
 ages caused by the use of this translation.

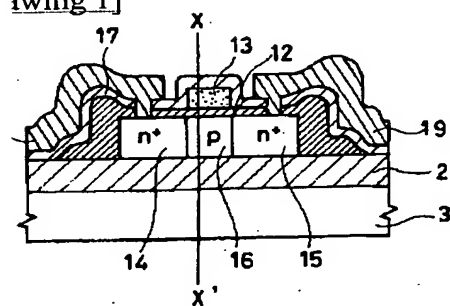
his document has been translated by computer. So the translation may not reflect the original precisely.

\*\* shows the word which can not be translated.

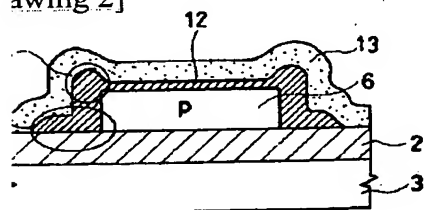
the drawings, any words are not translated.

## DRAWINGS

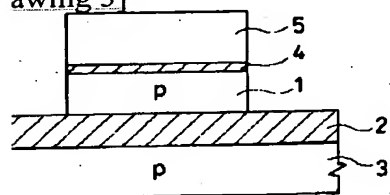
Drawing 1]



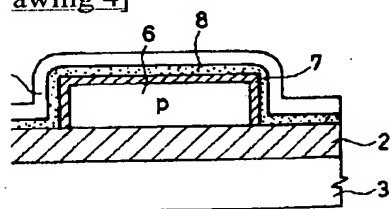
Drawing 2]



Drawing 3]



Drawing 4]



Drawing 5]

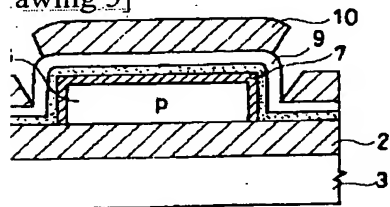




Figure 6]

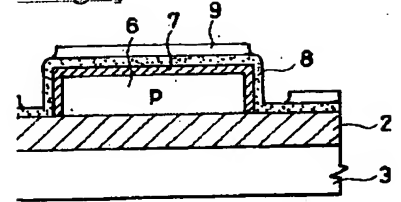


Figure 7]

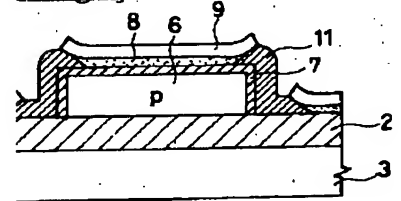


Figure 8]

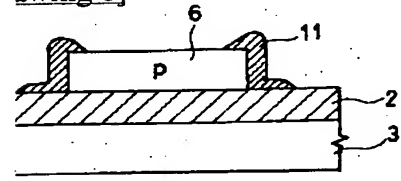


Figure 9]

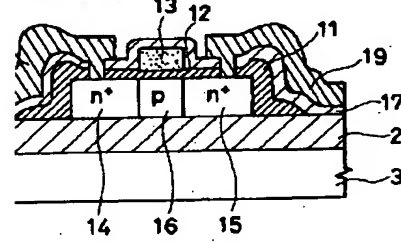


Figure 11]

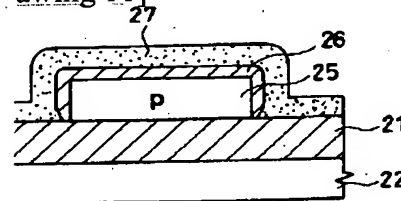


Figure 10]

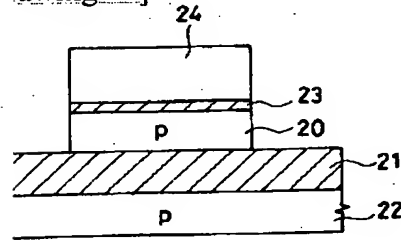
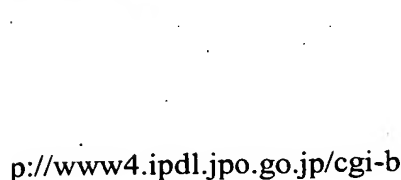
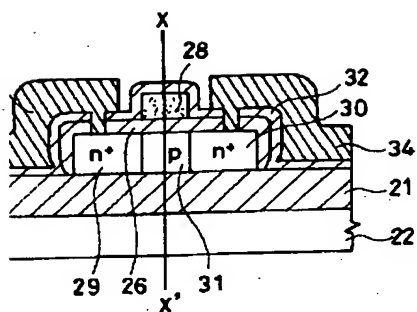
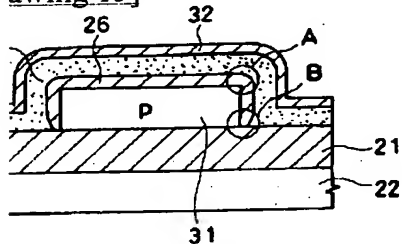


Figure 12]

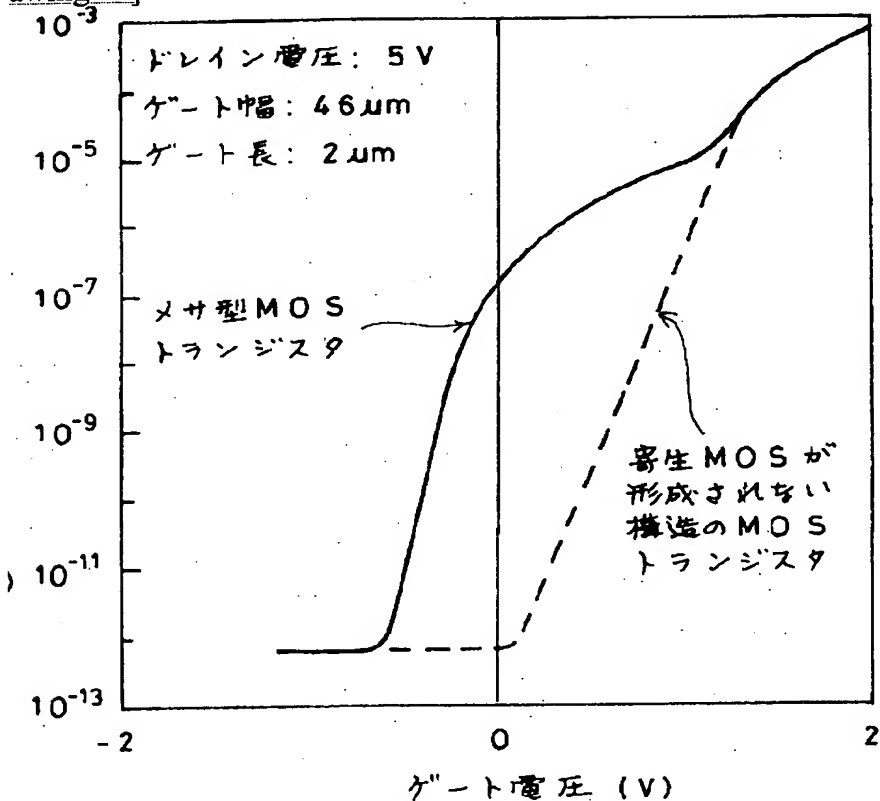




awing 13]



awing 14]



anslation done.]